실험물리학 2

10주차 예비 레포트

<디지털 논리회로의 응용 – D/A, A/D Converter, 반도체 기억장치>

이름: 김나현

학번: 20191286

분반: 2분반

담당 교수님: 정명화 교수님

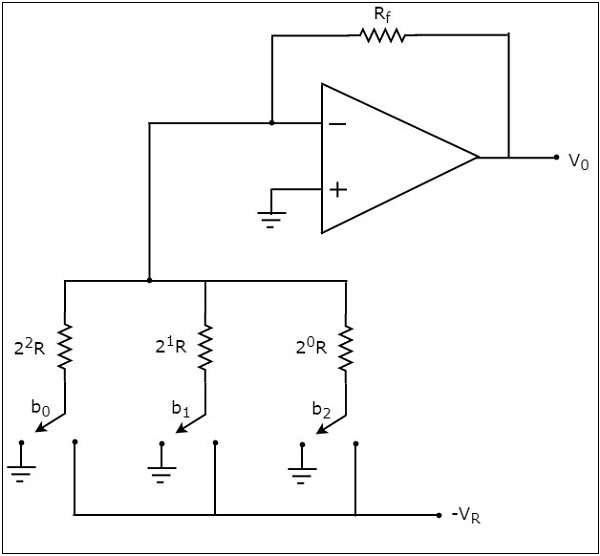
담당 조교님: 소현경 조교님

제출일자: 2020년 11월 25일 수요일

1. 실험 목표
2. 디지털-아날로그 변환기와 아날로그-디지털 변환기에 대해 이해할 수 있다.
3. 디지털 논리 소자를 이용하여 간단한 반도체 기억장치를 구성하여 그 원리를 이해할 수 있다.
4. 실험 이론
5. 디지털-아날로그 변환기 (D/A converter, DAC)

D/A 변환기는 0, 1의 2진 디지털 신호를 전류나 전압과 같은 아날로그 신호로 변환하여 출력하는 역할을 하는 회로이다. 컴퓨터로 아날로그 전압에 의해 구동되는 시스템을 제어하고자 한다면 컴퓨터의 2진수 입력을 아날로그 전압으로 바꾸기 위한 D/A 변환기가 필요하다. 본 실험에서는 전압구동형 사다리형 D/A 변환기에 대해 알아볼 것이다. D/A 변환기는 크게 가중 저항 D/A 변환기와 R-2R 사다리형 D/A 변환기로 구분할 수 있다.

우선, 가중 저항 D/A 변환기는 2진 가중 저항, 즉 20R, 21R, 22R 등 2을 이용하여 2n씩 차이나는 저항을 사용한 D/A 변환기이다. 아래 <그림 b>는 3비트 2진수 가중 저항 DAC를 나타낸 그림이다.



<그림 b> 가중 저항 D/A 변환기

b0, b1, b2는 2진수 값으로 0과 1 둘 중 하나만을 가질 수 있다는 점에 유의하면서, 3비트 2진수 입력은 b2b1b0이라고 가정할 수 있다. 또한 이때, b2와 b0는 각각 MSB(most significant bit)와 LSB(least significant bit)라고 할 수 있다. 위의 <그림 b>에서 접지되어 있는 디지털 스위치는 해당 입력 비트가 0이라는 것을 의미하고, 디지털 스위치가 닫히면 -VR과 연결되고 이는 해당 입력 비트가 1이라는 것을 의미하게 된다. 위의 회로에서 연산 증폭기의 비반전 입력 단자는 접지가 되어 있고 이것은 비반전 단자에 0 V를 입력하는 것을 의미한다. 또한 가상 접지에 의해 반전 입력 단자의 전압은 비반전 입력 단자의 전압과 같으므로 반전 입력 단자의 전압 또한 0 V가 된다. 따라서, 반전 입력 단자의 노드에서의 식을 써보면 다음과 같이 된다.

이때, R에 2Rf를 대입하면

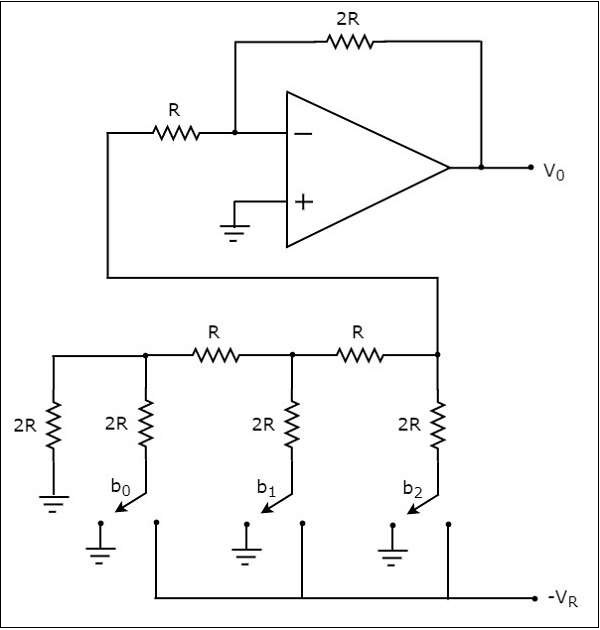
가 되고 이 식이 3비트 2진수 가중 저항 D/A 변환기의 출력 전압에 관한 방정식이 된다. 3비트2진수 b2b1b0는 000부터 111의 7가지 값을 가질 수 있으므로 고정된 VR 값에 대해 7가지의 각기 다른 출력 전압을 얻을 수 있다. 따라서 이 식을 N비트 2진수 가중 저항 D/A 변환기에 관한 식으로 일반화하면

가 된다. 이러한 가중 저항 DAC에는 입력하는 디지털 신호의 비트가 증가하면 몇 가지 단점이 드러나는데 LSB와 MSB와 연결된 저항 값 사이의 갭이 커진다는 것과 정확한 저항 값을 사용하여 회로를 구성하는 데에 어려움이 있다는 점이다.

다음으로는 가중 저항 DAC의 단점을 보완하는 R-2R 사다리형 D/A 변환기에 대해 알아볼 것이다. 아래 <그림 c>를 얼핏 보면 위의 <그림 b>와 비슷해 보이지만 20R, 21R, 22R 등 2을 이용하여 2n씩 차이나는 저항을 사용하지 않고 단순하게 R과 2R의 두 배 차이나는 저항만을 사용했다 점에서 차이가 있다. 위의 경우와 마찬가지로 b2b1b0이 3비트 2진수 입력이고, b2와 b0는 각각 MSB(most significant bit)와 LSB(least significant bit)이다. 또, 디지털 스위치가 접지되어 있는 경우는 해당 입력 비트가 0을 나타낼 것이고, 디지털 스위치가 -VR에 연결될 경우는 해당 입력 비트가 1을 나타낼 것이다. 가중 저항 DAC보다 출력 전압에 관한 일반화된 식을 얻기 쉽지 않지만 여러 저항들이 직렬 또는 병렬로 연결되어 있다는 점을 생각하며 회로 법칙을 이용해서 차근차근 출력 전압에 관한 식으로 변형해보면 다음의 식

이 되고 이를 N비트 디지털 입력에 대해 일반화해보면

이 된다. 따라서 만약 Rf가 2 kΩ이고, 저항 R이 1 kΩ인 6비트 R-2R 사다리형 DAC에 VR=-5 V와101100의 입력을 인가하면 출력 전압 V0는 약 6.875 V가 될 것이다.

이러한 R-2R 사다리형 DAC는 오직 두 개의 값을 갖는 저항만을 사용한다는 장점을 갖고, 디지털 입력으로 많은 비트가 들어가더라도 추가적으로 R과 2R의 저항만을 추가해서 회로를 연장하면 된다는 장점이 있다.

<그림 c> R-2R 사다리형 D/A 변환기

실제로 R-2R 사다리형 DAC가 가중 저항 DAC보다 널리 사용되고 선호되므로 본 실험에서도 4비트 R-2R DAC에 대한 실험을 진행해보고 4비트 디지털 입력 D0D1D2D3이 0000일 때부터 1111일 때까지 15개의 입력에 대해 출력 전압이 얼마인지를 측정해볼 것이다.

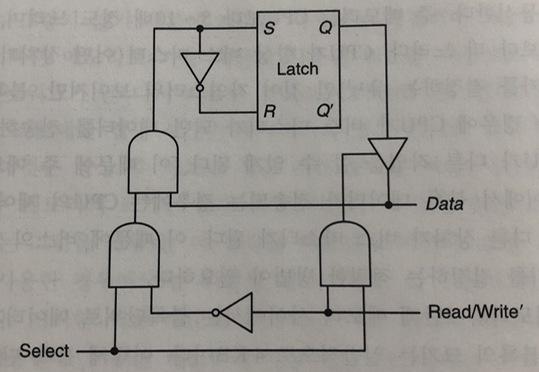
이러한 D/A 변환기는 CD, DVD, 스마트폰, 오디오 플레이어, TV 등에 칩이나 사운드 카드 형태로 탑재되어 있다.

1. 아날로그-디지털 변환기 (A/D converter, ADC)

A/D 변환기는 아날로그 신호를 디지털 신호를 변환시키는 것으로 D/A 변환기의 반대 역할을 한다. 아날로그 신호는 연속적인 반면, 디지털 신호는 불연속적이므로 연속적인 시간에 대한 신호를 이산 시간에 대한 신호로 바꾸기 위해 sampling이라는 작업이 필요하다. 이때, 샘플링 주파수 fs가 작을수록 실제 아날로그 신호와의 오차가 적게 나타나고, 샘플링 주파수는 신호 최대 주파수 f의 최소 두 배 이상이 되어야 아날로그 신호 중 최고 주파수 성분의 손실없이 디지털 출력에 반영될 수 있다. 이렇게 샘플링된 디지털 신호는 A/D 변환기에 의해 양자화되어 디지털 데이터 형태로 저장이 된다.

ADC에도 여러 개의 종류가 있는데 본 실험에서 사용할 계수비교형 ADC는 내부에서 D/A 변환기로 발생기킨 전압이 아날로그 입력보다 커질 때까지 비교하는 방식이다. 실제로 아래 <그림 2> 계수형 A/D 변환기 회로를 보면 회로 안에 D/A 변환기가 있다는 것을 확인할 수 있고, 이때, D/A 변환기의 출력을 만들기 위해 계수기를 사용한다. 이러한 계수기는 변환을 시작할 때 Reset되고 각 clock이 사이클마다 1씩 증가한다. 비교기는 D/A 변환기의 출력과 아날로그 입력 전압을 비교하여 D/A 출력이 아날로그 입력을 넘는 경우, 계수기의 동작을 정지시키고 마지막 계수값을 디지털로 변환하여 출력하게 된다.

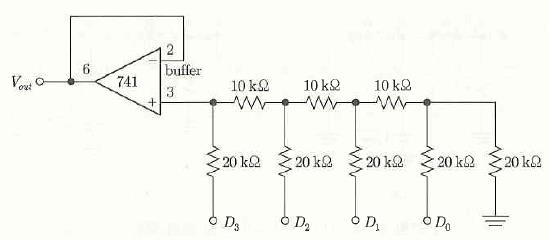
1. RAM (Random Access Memory)

RAM이란 random access memory의 약자로, 프로그램과 데이터, 제어 정보 등의 임시 저장을 위해 이용되는 메모리이다. RAM은 저장된 데이터에 임의접근(Random access)을 제공하여 모든 저장 장소에 동일한 시간에 도달하게 되고, 데이터를 읽고 쓰는 기능을 갖는다. 또한, RAM은 휘발성이어서 전원이 끊어지면 저장된 데이터가 손실된다. RAM은 크게 정적 RAM과 동적 RAM으로 구분할 수 있는데 정적 RAM(static RAM, SRAM)은 쌍안정 회로를 저장 소자로 이용하며 전원이 제거되면 즉시 데이터가 지워진다. 반면, 동적 RAM(dynamic RAM, DRAM)은 커패시터를 이용해 데이터를 저장하는데 시간이 지나면서 커패시터가 방전되면 데이터가 지워질 수 있기 때문에 주기적으로 충전이나 재생을 해줘야 한다.

<그림 d> 1비트 저장 셀

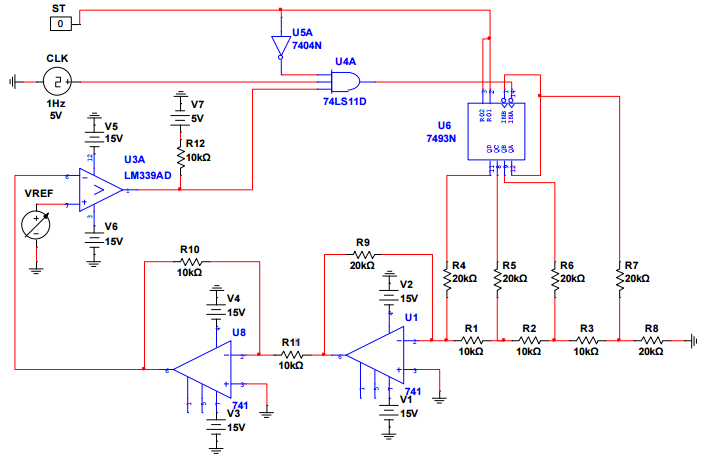
위의 <그림 d>는 1비트 저장 셀을 나타낸 것이다. 선택 입력은 한 워드 내의 모든 셀은 활성화시키는 디코더로부터 입력되고, 데이터 라인은 데이터의 1비트를 나타내며, 다른 워드의 같은 위치에 있는 모든 셀들과 연결된다. 3상 출력 게이트는 해당 워드가 선택되는 경우에 활성화되며, 이때는 데이터 읽기를 수행한다. 어떤 설계에서는 선택 라인이 2개 존재하며, 이들 모드는 읽기 또는 쓰기 동작에서 활성화되어야 한다. 이 두개의 선택 라인은 위의 <그림 d>와 같이 AND 게이트에 연결된다.

1. 실험 장비 및 재료
2. 실험 장비
3. NI ELVIS
4. 오실로스코프: PHILIPS 60 MHz Digital Storage Oscilloscope PM3335
5. 함수발생기: EZ FG-8002
6. DC power supply
7. 실험 재료
8. 저항, 커패시터
9. 7400, 7403, 7447, 7493, 74191
10. 741
11. 실험 방법
12. D/A, A/D converter

아래 <그림 1>과 같은 회로를 구성하고 입력 상태에 따른 출력 전압을 기록한다.

<그림 1> 전압구동형 사다리형 D/A 변환기

아래 <그림 2>와 같은 회로를 구성한다. 이때, ST 단자는 1의 상태로 하여 카운터를 리셋시킨 후, D/A 변환기의 출력 전압이 0 V인 것을 확인한다. 입력 전압을 0~6.5 V까지, 0.5 V씩 증가시키면서 디지털 출력 상태를 기록한다. 이때는 ST 단자를 0의 상태로 하고, clock 입력 단자에는 1 Hz, 5 V의 펄스를 인가해야 한다.

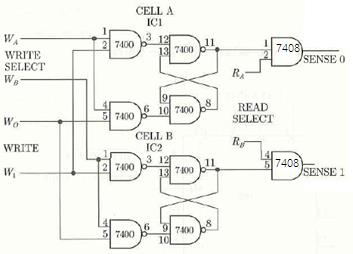


<그림 2> 계수형 A/D 변환기

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Vref | Qd | Qb | Qc | Qa |
| 0 |  |  |  |  |
| 0.5 |  |  |  |  |
| 1 |  |  |  |  |
| 1.5 |  |  |  |  |
| 2 |  |  |  |  |
| 2.5 |  |  |  |  |
| 3 |  |  |  |  |
| 3.5 |  |  |  |  |
| 4 |  |  |  |  |
| 4.5 |  |  |  |  |
| 5 |  |  |  |  |
| 5.5 |  |  |  |  |
| 6 |  |  |  |  |
| 6.5 |  |  |  |  |

1. 반도체 기억장치-RAM, ROM

일반적으로 기억소자는 크게 RAM과 ROM으로 구분된다. RAM(random access memory)은 임의로 기억내용을 읽을 수 있고 다시 기록할 수도 있으나 전원이 끊기면 지금까지의 모든 기억내용을 잃는다. 반면, ROM(read only memory)은 내용을 기록하는 데에는 특별한 방법이 필요하나 한 번 기록된 내용은 전원이 끊어져도 그 내용을 잃지 않는다. 본 실험에서는 간략한 RAM 회로를 구성해보도록 하고, ROM 회로는 시간 관계상 실험을 생략한다.

아래 <그림 3>과 같은 회로를 구성하고, 초기의 모든 write select를 접지와 연결한다.

<그림 3> 2비트 RAM 회로

각각의 cell에 기억시키기 위해 다음과 같은 작업을 수행해야 한다. Cell A에 기억시키기 위해서는 WA를 1의 상태로, Cell B에 기억시키기 위해서는 WB를 1의 상태로 한다. 만일 각각의 cell에 0을 기억시키고 싶다면 W0을 1의 상태로 하였다가 접지로 연결하면 된다. 반대로 1을 기억시키고 싶다면 W1을 1의 상태로 하였다가 접지로 연결한다. 기록을 종료시키기 위해서는 write과 write select를 접지로 연결한다.

기억된 내용을 읽기 위해서는 다음과 같은 작업을 수행해야 한다. RA를 1의 상태로 하고, RB를 0의 상태로 하면 Cell A의 내용이 sense 0에 나타난다. 반대의 경우에는 Cell B의 내용이 sense 1에 나타난다.

위와 같은 작업을 Cell A와 Cell B에 기록할 수 있는 모든 상태의 경우에 대해 확인하여 기록하고 정리한다.

1. 참고문헌

-Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 275-279

-Alan B. Marcovitz, Introduction to logic design, 3판, McGraw-Hill Higher Education, 2009년, pg. 615-620

실험물리학 2

10주차 결과 레포트

<디지털 논리회로의 응용 – D/A, A/D Converter, 반도체 기억장치>

이름: 김나현

학번: 20191286

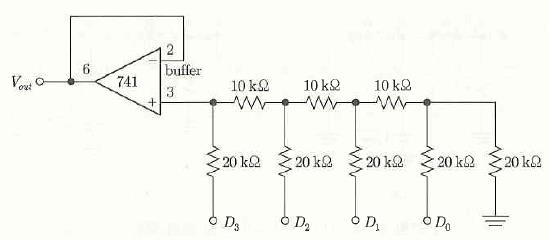
분반: 2분반

담당 교수님: 정명화 교수님

담당 조교님: 소현경 조교님

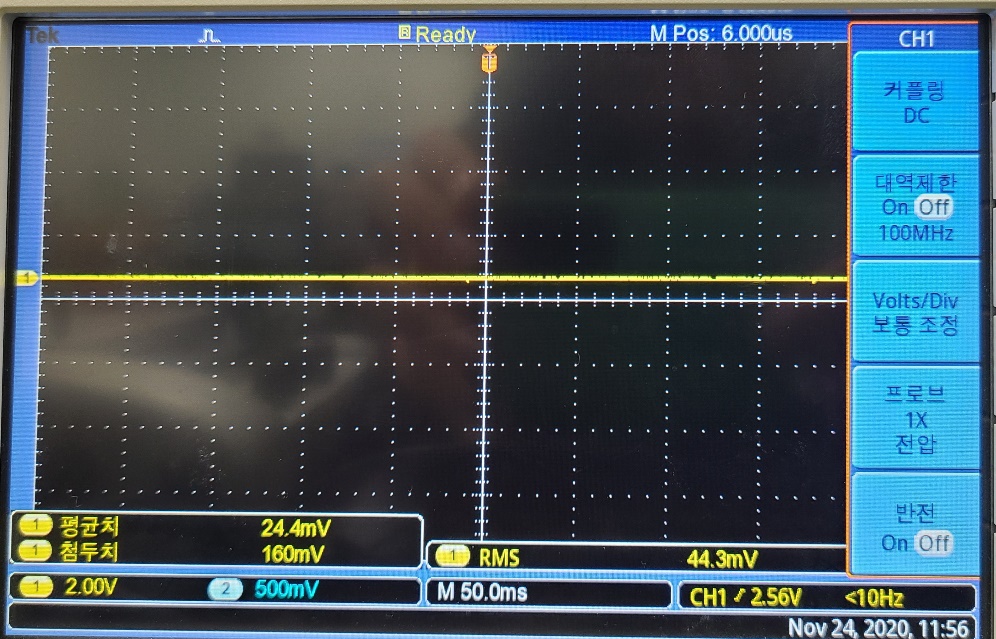
제출일자: 2020년 12월 2일 수요일

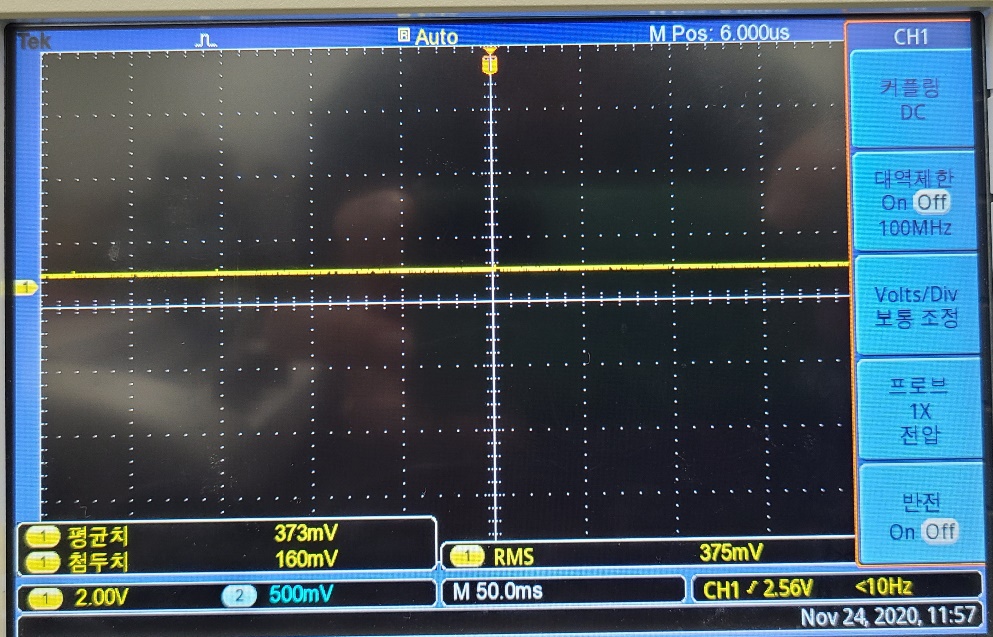
1. 실험 결과
2. D/A, A/D converter
3. 본 실험에서는 아래 <그림 1>의 회로, 즉 D3, D2, D1, D0의 디지털 입력 신호를 Vout의 아날로그 출력 신호로 변환해주는 회로를 구성하고 디지털 입력 신호에 따라 어떠한 값이 출력되는지를 기록해보았다.

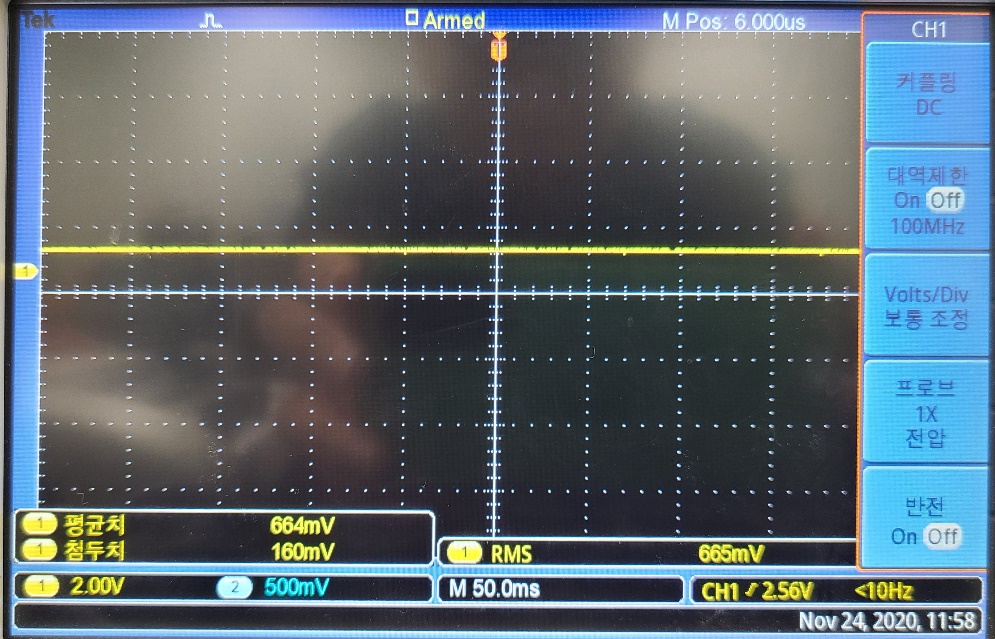


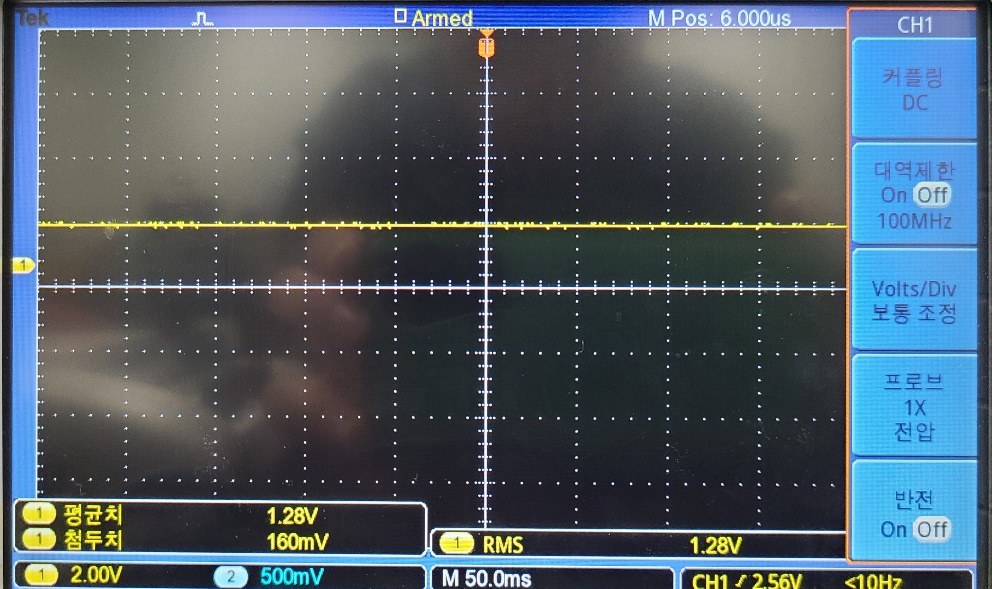
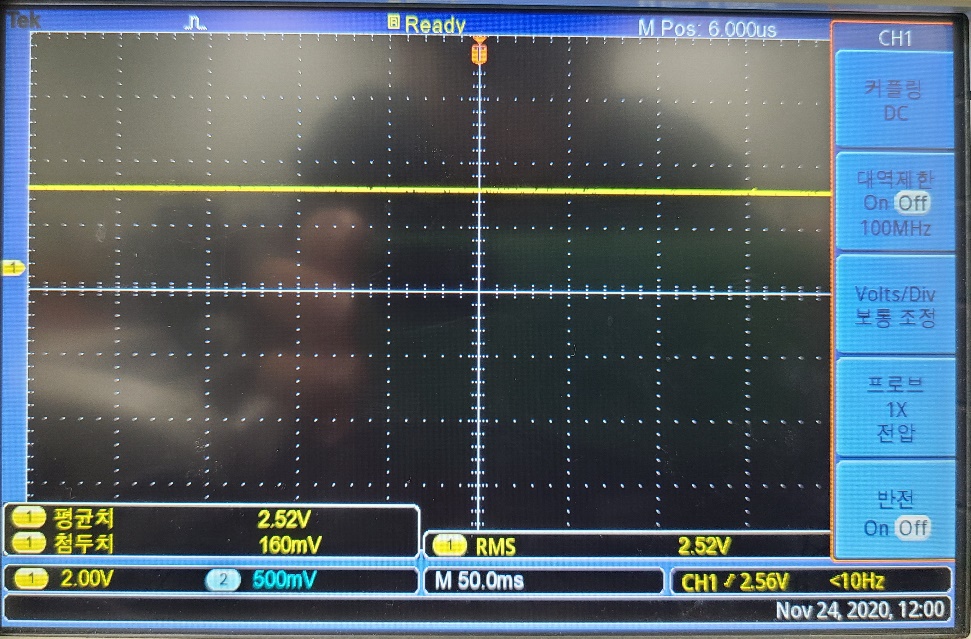
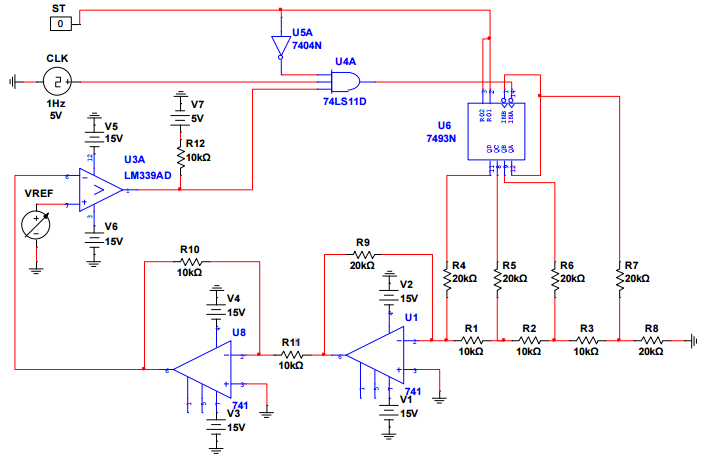
<그림 1> 전압구동형 사다리형 D/A 변환기

1. <표 1> <그림 1>의 회로에서 디지털 입력에 따른 아날로그 전압 값
2. <그림 1-1> D3D2D1D0이 0000일 때의 출력 전압



1. <그림 1-2> D3D2D1D0이 0001일 때의 출력 전압
2. <그림 1-3> D3D2D1D0이 0010일 때의 출력 전압

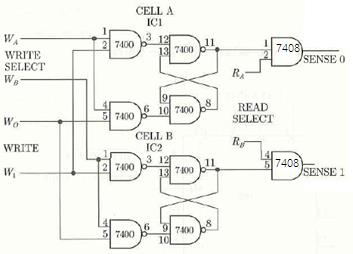


1. <그림 1-4> D3D2D1D0이 0100일 때의 출력 전압
2. <그림 1-5> D3D2D1D0이 1000일 때의 출력 전압
3. <표 2> D3, D2, D1, D0 중 하나만 1일 때의 Vout과 비율, 오차율
4. <표 3> Vout 값을 보정하여 만든 D3, D2, D1, D0 중 하나만 1일 때의 Vout과 비율, 오차율
5. 본 실험에서는 아래 <그림 2>의 A/D 변환기 회로를 구성하여 Vref의 값을 조정해가며 출력되는 신호의 값이 점점 증가하다가 멈추는 시점의 신호를 기록하였다.

<그림 2> 계수형 A/D 변환기

1. <표 4> <그림 2>에서 Vref의 값에 따른 Qd, Qc, Qb, Qa의 값



1. 반도체 기억장치-RAM
2. 본 실험에서는 아래 <그림 3>의 2비트 RAM 회로를 구성한 후, Cell A와 Cell B에 기록할 수 있는 모든 상태의 경우에 대해 확인하여 기록해보았다.

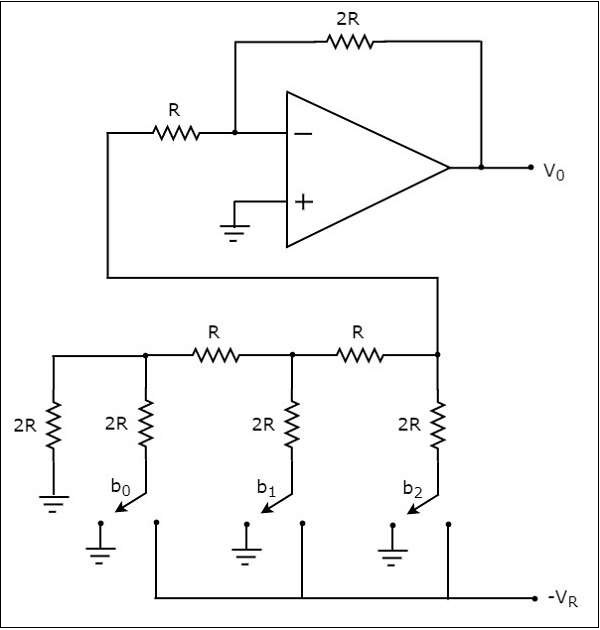
<그림 3> 2비트 RAM 회로

1. <표 5> Cell A와 Cell B에 기록된 data



1. 실험 분석
2. D/A, A/D converter

첫 번째로, <그림 1>의 전압구동형 사다리형 D/A 변환기를 이용한 실험에서는 D3, D2, D1, D0의 입력 값을 0 또는 1로 변화시키면서 아날로그 전압 값인 Vout 값을 측정하였더니 <표 1>과 같이 측정되었다. 또한 몇 가지의 D3, D2, D1, D0의 입력에 대해서 출력 전압인 Vout을 오실로스코프를 통해 확인하였더니 <그림 1-1>부터 <그림 1-5>의 사진처럼 관찰되었다.



<그림 c> R-2R 사다리형 D/A 변환기

위의 <그림 c>와 같은 사다리형 D/A 변환기에서 출력 전압 V0를 N비트 디지털 입력에 대해 일반화한 식이

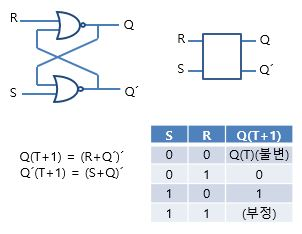
와 같으므로 전압구동형 사다리형 D/A 회로에서 디지털 입력 신호와 출력 전압은 위와 같은 관계를 갖는다는 것을 알 수 있었다. 이때, 본 실험에서 사용된 회로는 <그림 c>와 달리 OP AMP에 궤환과 접지가 연결되어 있지 않지만 <그림 1>의 회로를 보면 디지털 입력 D0에서 나온 전압은 저항 10 kΩ을 세 개 거쳐야, D1은 두 개, D2는 한 개, D3는 거치지 않고 반전 입력 단자로 인가되는 것을 알 수 있다. 따라서 위의 식처럼 D0의 전압은 출력 전압의 식을 만들 때, (n은 정수)만큼 감소되어 들어가고 D1의 전압은 (n은 정수)만큼, D2의 전압은 (n은 정수)만큼, 마지막으로 D3의 전압은 (n은 정수)만큼 감소되어 들어갈 것임을 예측할 수 있다. <표 2>은 <표 1>에서 D3, D2, D1, D0 중에서 하나의 디지털 입력만이 1인 상황을 모아 놓은 것이고, 이때 D0이 1인 경우의 Vout을 1로 기준 잡아 다른 값들은 비교한 것이다. D0이 1이고 다른 입력 값들은 모두 0이면 D0에 의해서만 Vout이 결정되고 다른 값이 1일 때도 마찬가지로 그 값에 의해서만 Vout이 결정된다는 사실과 위에서 언급한 각 디지털 입력이 출력 전압에 상대적으로 얼마만큼의 영향을 미치는 것인지를 이용하여 분석을 해보면 D0이 1일 때, D1이 1일 때, D2가 1일 때, D3가 1일 때는 모두 2배씩 증가해야 한다. <표 2>에서도 D0일 때를 기준으로 D1, D2, D3가 1일 때의 출력 전압이 약 1.78, 3.43, 6.76으로 2, 4, 8에 가깝게 증가하는 모습을 볼 수 있었다. 하지만 <표 1>에서 디지털 신호가 모두 0일 때도 출력 전압이 0 V가 아니므로 모든 값에 디지털 신호가 0일 때의 출력 전압 값을 빼주는 것이 오차를 줄일 수 있는 방법이기 때문에 이를 감안하여 다시 표를 만들어보면<표 3>과 같이 되고, 이는 <표 2>보다도 더 적은 오차율을 보임을 알 수 있다.

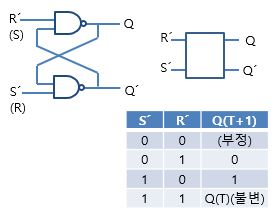
두 번째로, 앞에서 실험한 D/A 변환기를 이용하여 구성한 <그림 2>의 계수형 A/D 변환기 회로 실험에서는 D/A 변환기와 반대로 아날로그 전압을 인가하여 전압 범위에 따라 출력되는 디지털 신호가 달라지는 모습을 확인할 수 있었다. <표 4>에 나타난 Qd, Qc, Qb, Qa는 해당 전압을 Vref에 인가하였을 때 딱 나타나는 신호를 의미하는 것이 아니라, clock 펄스에 맞춰서 디지털 신호가 0000부터 증가하다가 OP AMP 비교기에 막혀 더 이상 증가하지 못할 때의 신호를 의미한다. Vref에 큰 전압을 인가할수록 Qd, Qc, Qb, Qa가 나타내는 4비트 이진수의 값이 커지게 나타나는 것이고 약 0.5 V만큼씩 커질수록 해당 4비트 이진수의 값이 다르게 증가되는 것을 관찰할 수 있다. <표 4>를 보면 Vref에 0과 0.5를 인가해주었을 때 출력 신호가 0001으로 0~0.5 V 범위에서 디지털 출력 신호가 0001을 가리킨다는 사실을 알 수 있었고, 그 이후에 Vref가 0.5 V씩 증가할수록 디지털 신호를 십진수로 변환하였을 때 1씩 커지는 모습을 관찰 가능하였다. 하지만 해당 표는 예를 들어, 정확히 한 치의 오차도 없이 Vref가 1 V 이상 1.5 V 미만에서 출력 디지털 신호가 0010을 나타낸다는 것은 아니고 대략적으로 0.5 V씩 증가하였더니 이처럼 변화가 생겼다는 것을 의미하는 것이다. 본 실험을 통해 정확히 Vref가 얼마의 V 범위에서 같은 디지털 출력 신호를 나타내는지 알고 싶다면 0.5 V보다 더 작은 전압 값만큼씩 증가시키면서 변화를 측정해보면 된다.

1. 반도체 기억장치-RAM

본 실험에서는 RS 래치가 사용되는 <그림 3>과 같은 2비트 RAM 회로를 구성하고 WA, WB, W0, W1, RA, RB의 디지털 입력을 변화시키면서 Cell A와 Cell B에 기록되고, 읽히는 모습을 확인해 보았다. 본 회로에서 WA에 1을, WB에 0을 기록하고 싶다면 WA과 W1에 1을 입력시켰다가 W1을 접지해주고 WB와 W0에는 0을 입력하면 된다. Cell A, 맨 위의 NAND 게이트는 1과 2에 입력에 모두 1이 입력되니까 출력이 0이 되고, 아래 NAND 게이트는 WA의 입력이 1이지만 W0의 입력이 0이므로 출력이 1이 된다. 따라서 RS 래치 회로를 거치면 R가 0이고 S이 1이므로 Q가 무조건 1을 출력하게 되어 cell A에는 1이 기록되게 된다. 이때, WA와 W1을 접지로 연결하게 되어도 RS 래치에서 Q 출력이 변하지 않기 때문에 기록된 값이 달라지지 않고, 이 cell의 값을 읽고 싶으면 RA에 1을 입력하여 LED나 컴퓨터 등을 통해 신호가 나타나게 하면 된다. 이러한 상황에서 Cell B에서는 WB가 0이라 첫 번째 단의 NAND 게이트의 출력이 모두 1이므로 RS 래치의 입력이 모두 1이라 영향을 미치지 못한다.

<그림 3>의 회로를 보면 RS 래치로 아래 <그림 a>와 <그림 b> 중에서 <그림 b>처럼 NAND 게이트를 이용하였지만 앞 단의 NAND 게이트에 의해 R’와 S’의 보수가 각각 인가되므로 <그림 b>의 입력과 달리 R과 S라고 봐도 무방하므로 <그림 a>의 진리표를 따르게 된다.



<그림 a> NOR 게이트를 이용한 RS 래치와 진리표

<그림 b> NAND 게이트를 이용한 RS 래치와 진리표

대표적으로 cell A에 1을 입력하고, cell B에 0을 입력하는 경우를 예시로 들었지만 반대의 경우나, 두 cell에 모두 1을 입력하고 싶을 때도 위의 내용을 충분히 응용하면 되므로 어렵지 않게 cell에 입력하는 모든 상태의 경우에 대해 확인해볼 수 있을 것이다.

1. 토의
2. D/A, A/D converter

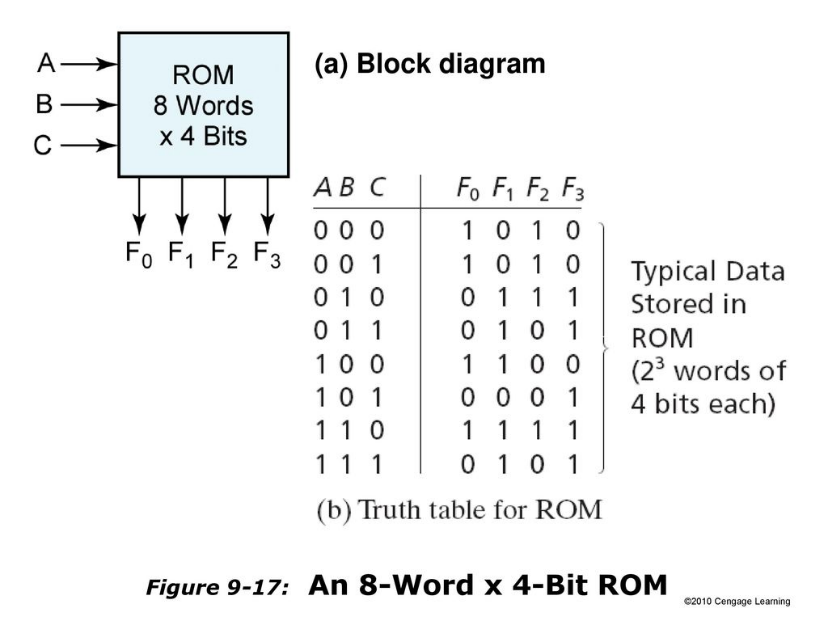
D/A 변환기에 관한 첫 번째 실험에서는 <그림 1>의 회로에 4비트 디지털 입력을 인가하면 하나의 아날로그 Vout 신호로 출력되는 회로에 대해 공부할 수 있었다. 이때, <표 1>을 통해 <표 2>와 <표 3>을 만들었고, <표 3>은 <표 2>에서 오차를 수정한 것이었다. <표 1>에서 디지털 신호가 0000일 때 출력 전압이 0 V가 아니라 0.024 V였기 때문에 디지털 신호가 0001~1111일 때 출력 전압에서 해당 값을 빼주어야 오차가 줄어들 것이라고 생각하였고, 실제로 <표 2>와 <표 3>을 비교했을 때 <표 2>에서의 오차율보다 <표 3>에서의 오차율이 작다는 사실을 통해 정확한 오차 원인을 파악하여 값을 보정해주었다고 생각할 수 있었다. 또한 <표 1>에서 노란색으로 밑줄 되어있는 경우 중에 <표 2>, <표 3>으로 따로 빼서 정리한 경우들은 4비트 디지털 입력 신호 중 하나의 비트만이 1인 경우로, 몇 번째 비트에 1이 있느냐에 따라 출력 전압에 영향을 미치는 것을 뚜렷하게 관찰할 수 있는 것들이다. <표 3>을 보면 D0가 1일 때를 기준으로 D1가 1일 때, D2가 1일 때, D3가 1일 때는 모두 2배씩 증가하는 것을 볼 수 있는데 이는 사다리형 D/A 변환기에서 반전 입력 단자와 해당 디지털 입력 신호 사이에 저항 R의 크기를 갖는 저항의 개수에 따라 출력 전압에 영향을 1/2의 n제곱씩 차이가 나기 때문이다. <그림 1>의 회로에서 출력 전압에 관한 식을 정확히 정리할 수는 없지만 <표 3>에서 각 출력 전압 값이 2의 n제곱씩 차이가 나야 한다는 사실은 알고 있기 때문에 이 값들을 비교하여 실제 실험 결과가 이론과 부합하는지를 확인할 수 있었고, 약 10 % 대 이하의 오차율을 나타낸다는 사실로부터 실험을 통해 이론적인 결과와 유사한 결과를 얻었음을 예측할 수 있었다. 또한 이론적으로 디지털 입력 신호가 1111일 때의 출력 전압은 0001, 0010, 0100, 1000일 때의 출력 전압을 모두 더한 것과 같아야 하는데 실제로 네 경우의 출력 전압을 더해서 디지털 신호가 0000일 때의 출력 전압인 0.024에 4를 곱한 값을 빼준 것과 비교하면 약 0.055 V의 차이만을 갖는 것을 확인할 수 있다.

A/D 변환기에 관한 두 번째 실험에서는 <그림 2>의 회로를 구성한 후, 카운터를 리셋시킨 다음 입력 전압 Vref을 0 V부터 6.5 V까지 0.5 V씩 증가시키면서 clock 펄스에 따른 디지털 출력 상태를 확인해 보았다. 이 회로에서는 앞에서 다룬 D/A 변환기가 사용되었고 아날로그 입력을 인가했을 때, 비교기가 카운터와 D/A 변환기를 통해 출력된 아날로그 출력과 인가한 아날로그 입력을 비교하여 아날로그 입력보다 작을 때 1을 출력하여 clock 펄스에 맞춰 카운터가 1씩 커지는 디지털 신호를 출력하게 구성되었다. 따라서, 아날로그 전압을 인가해주면 그 값보다 크거나 같아질 때까지 카운터가 clock 펄스의 에지에 맞춰서 1씩 증가하는 디지털 신호를 출력하고 비교기가 0을 출력하면 더 이상 카운터가 동작되지 않고 해당 디지털 신호의 출력을 유지하게 된다. <표 4>를 통해, 인가하는 아날로그 전압이 커질수록 1씩 증가하다가 멈추게 되는 디지털 신호의 값이 커지고 이러한 디지털 신호는 약 0.5 V의 범위마다 달라지는 것을 확인할 수 있었다.

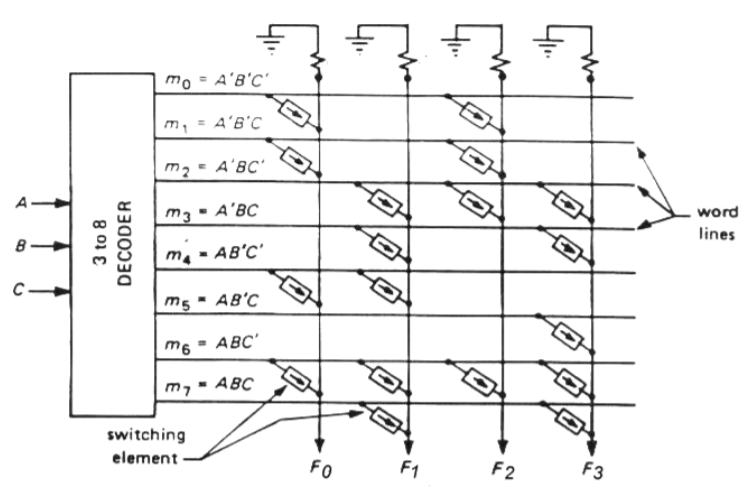
1. 반도체 기억장치-RAM, ROM

본 실험에서는 <그림 3>과 같은 2비트 RAM 회로에 대해 알아보았다. 이때, 본 회로에서 가장 중요한 입력 신호가 WA와 WB, 즉 2개이기 때문에 Cell 또한 두 개가 있고, 각 cell마다 두 개의 NAND 게이트와 NAND 게이트를 이용한 RS 래치 회로를 사용하였다. Write select의 입력(WA, WB)은 cell A나 cell B에 입력하는 것을 고르기 위해 필요하고 write의 입력(W0, W1)은 cell에 입력하고 싶은 값을 고르기 위해 필요하다. 초기 모든 write select를 접지와 연결하면 RA와 RB에 1을 입력해도 sense 0과 sense 1에서 0이 출력되므로 초기 설정은 0을 기록하고 0을 출력하는 것이라고 해석해도 무관하다. 따라서 이러한 초기 상태에서 cell A나 cell B에 1을 기록하고 싶다면 WA나 WB를 1에 입력하고, W1에만 1을 입력해주면 된다. 그런 다음, write와 write select를 접지에 연결해도 RS 래치 회로에서의 출력은 변하지 않고 이전의 값을 유지하기 때문에 RA나 RB에 1을 연결해주면 기록한 값이 그대로 출력에 반영되는 것을 확인할 수 있다. 또한, cell A와 cell B에 0과 1을 각각 입력하기 위해 W0과 W1에 동시에 1을 입력하면 각 cell의 RS 래치의 입력이 모두 0이 되어 이전의 값을 유지하게 되므로 초기 상태를 유지하게 되어 RA와 RB에 1을 입력하여도 0을 출력하게 되므로 두 cell에 각기 다른 신호를 기록하고 싶다면 순차적으로 W0에 1을 넣어서 한 cell에 신호를 기록하고 W1에 1을 넣어서 다른 cell에 1의 신호를 기록해야 할 것이다. 이러한 RAM의 원리를 이해한다면 2비트 RAM 뿐만 아니라 n비트의 RAM 회로 또한 어렵지 않게 구상해볼 수 있을 것이다.

본 실험에서 시간 관계상 생략한 ROM에 관해 알아보기 위해, 아래 <그림 d>처럼 8워드 4비트 ROM을 예시로 생각해볼 수 있다. ROM은 Read-only Memory의 약자로, 처음에 한 번 입력을 하게 되면 그 다음부터는 읽는 것만 가능한 메모리라고 생각할 수 있다. n개의 입력을 하면 ROM 안에 있는 디코더를 거쳐서 2n의 워드를 만들고 m 비트 출력과 퓨즈나 다이오드를 이용해 연결한다. 아래 <그림 e>와 같이 디코더를 통해 2n의 minterm을 만들면 OR array에서 m 비트 출력은 각각 minterm의 합으로 나타낼 수 있다. ROM에 데이터를 기록하기 위해 ROM writer라는 장비가 필요하는데 USB 메모리나 SSD와 같은 플래시 메모리는 이러한 ROM writer 없이 제한된 횟수만큼 재기록이 가능하다.



<그림 d>8 words-4 bits ROM



<그림 e> ROM realization of code converter

1. 참고문헌

-Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 275-279

-Alan B. Marcovitz, Introduction to logic design, 3판, McGraw-Hill Higher Education, 2009년, pg. 615-620